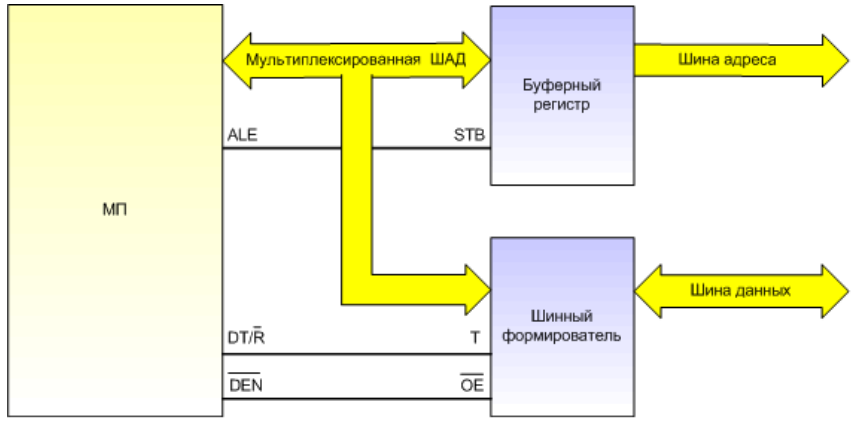
**ВОПРОС 19**

**Схема демультиплексирования шины адреса и данных**



По шине адреса и данных они идут не вперемешку, а разделены по времени. В один момент времени передаются данные, в другой адрес (вначале адрес нужен, затем данные). От процессора исходит совмещенная шина адреса и данных и передаются в буферный регистр и шинный формирователь. По сути, буферный регистр - ячейка памяти, способная что-то хранить.

При появлении единичного сигнала на входе ALE регистр запоминает на входе и выставляет на шину адреса. По обстрабирующему импульсу, понимает, что нужно запомнить и передавать это всё на выход. Если ALE - 0, то буферный регистр игнорирует данные, а на выходе запомненный адрес.

Шинный формирователь, который должен обеспечить согласование, нагрузочную способность, может отключаться и управляется DEN, Если 1, то шинный формирователь отключается, если 0, то обеспечивает передачу данных в обоих направлениях.

[Пример: процессору нужно считать ячейку памяти. Процессор выставляет на совмещённой шине адрес ячейки, стробирует его сигналов на выходе ALE (в DEN - 1, значит, он отключён там. ALE - 0, ничего запоминать не надо). Передаётся в оба устройства, но шинный формирователь игнорит полученное (пока у него нет нолика на OE), а буферный регистр ожидает абстрагирующий импульс. Он запоминает адрес ячейки памяти, и он присутствует там. Мы физически обратились к нужной ячейки памяти. Передаётся 0 в DEN, процессор отдаёт данные шинный формирователь (адрес уже подключен). Адрес запоминается буферным регистром. Процессор по шине совмещённой получает эти данные из ячейки памяти.]

Организация адресного пространства ввода/вывода и памяти

1. Раздельная организацие. Если на выходе M/IO 1, то обращаемся к памяти и работаем в адресном пространстве памяти, если 0, то работаем в адресном пространстве ввода и вывода. +: все адреса для ячеек памяти и поротов ввода-вывод доступны. Существуют одинаковые адреса (типа, память 00 и порт 00 - проблем нет). -: для памяти много способов адресации этим процессором и множество разных команд, с портами всё ограниченно.

2. Совместная организация. На выходе M/IO всегда присутствует 1, проц всегда считает, что обращается к памяти, на самом деле определенный диапазон адресов выделен под внешние устройства, соответственно часть адресного пространства памяти используется для использования для устройств ввода/вывода. +: все команды доступны и все способы адресации. -: пропадает часть адресного пространства памяти, часть ячеек будет поставить, невозможно адресовать (то же самое с портами ввода-вывода)

3. Комбинированная организация. Когда к тем портам ввода вывода, к которым необходимо применять сложные команды характерные для памяти, используется совмещение адресных пространств, теряя немного адресного пространства памяти, но зато все команды можно использовать. А для которых не требуется большого количества команд или сложной способов адресации используется разделение (по M/IO).

В современных вычислительных системах распространен третий вариант.

[В конце 3 лекции тоже самое]